

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 53-082147

(43)Date of publication of application : 20.07.1978

(51)Int.Cl.

H01P 1/26

(21)Application number : 51-158856

(71)Applicant : NEC CORP

(22)Date of filing : 27.12.1976

(72)Inventor : KATO HIDEHIKO

(54) RESISTIVE TERMINATION FOR STRIP LINE

(57)Abstract:

PURPOSE: To obtain the resistive termination having a good performance suitable for microwave IC, by making the characteristic impedance of the thin film resistor as a specific value, when the thin film resistance of resistive termination is replaced to the conductive film having the same shape.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨日本国特許庁

⑩特許出願公開

公開特許公報

昭53—82147

⑪Int. Cl.²
H 01 P 1/26

識別記号

⑫日本分類
98(3) B 0

庁内整理番号
6545—53

⑬公開 昭和53年(1978)7月20日

発明の数 2
審査請求 未請求

(全 6 頁)

⑭ストリップ線路用無反射終端

東京都港区芝五丁目33番1号
日本電気株式会社内

⑮特 願 昭51—158856

⑯出 願 人 日本電気株式会社

⑰出 願 昭51(1976)12月27日

東京都港区芝五丁目33番1号

⑱発 明 者 加藤英彦

⑲代 理 人 弁理士 内原晋

明 細 書

発明の名称 ストリップ線路用無反射終端

特許請求の範囲

1. 特性インピーダンス Z_0 のストリップ線路の終端を薄膜抵抗を通して短絡した無反射終端において薄膜抵抗の抵抗値を特性インピーダンス Z_0 に合せかつ該薄膜抵抗を同一形状の導体膜で置き換えたときの薄膜抵抗部の特性インピーダンスが $Z_0/\sqrt{3}$ 程度となるようにしたこととを特徴とするストリップ線路用無反射終端。
2. 特性インピーダンス Z_0 のストリップ線路の終端を薄膜抵抗を通して短絡した無反射終端において薄膜抵抗の抵抗値を特性インピーダンス Z_0 に合せかつ該薄膜抵抗部に並列に所定の容量を挿入したことを特徴とするストリップ線路用無反射終端。

発明の詳細な説明

本発明はマイクロ波 I/O 等に使われるストリップ線路用無反射終端に関する。

現在マイクロ波装置は、マイクロストリップ線路等を用いた I/O 化により大幅な小形化、高信頼化が計られつつある。このようなマイクロ波 I/O 回路中にはサーキュレータをアイソレータ化するため、あるいは方向性結合器のアイソレーションポート等に非常に厳密な特性の無反射終端が必要である。

例えばサーキュレータをアイソレータ化する場合の無反射終端では無反射終端の反射特性がそのままアイソレーション特性になり、非常に良好な特性のものが要求される。例えば無反射終端の入力 VSWR が 1.2 であればもはや 20 dB 以上のアイソレーションは得られない。また同軸—ストリップ線路変換部の特性を測定する場合に I/O 化無反射終端が使用できると良いが、その場合これらの変換部の反射 VSWR 1.1 ~ 1.2 程度よりはるかに良好な無反射終端が必要である。

第 1 図は従来の薄膜無反射終端を示すもので、

誘電体基板1上の下面に接地用導体膜2および線路導体膜3を形成したマイクロストリップ線路の終端に特性インピーダンス(通常は50Ω)に等しい抵抗値を有する薄膜抵抗4を形成し、短路用導体5を用いて、接地を行っていた。この場合、薄膜抵抗の形状は高周波特性と無関係に設計されており、(a)のようにマイクロストリップ導体と同じ幅にして、簡単化したり、(b)のように網目状の形状として電力特性を良好にしていた。しかし、抵抗膜自体にも微少なインダクタンス分があり、また、それと接地導体間にも微少な容量分が存在する。従って非常に低い周波数では、これらの不要リアクタンス分は無視できるが、マイクロ波のような高周波においては、抵抗値に対して無視できなくなり、不要な反射を生ずるので問題である。UHF帯のような低い周波数においても、大電力用無反射終端は、寸法が大きくなり、それにともなう、その不要インダクタンスあるいは不要容量は無視できなくなる。

従来、これらを含めた無反射終端の設計法が不

明であったため、マイクロ波帯で充分良好な、保証された特性のI/O用無反射終端を用いることができなかった。従って、第1図のような無反射終端は、それほど厳密な特性を要求されない箇所でのみ使用され、厳密な特性の必要な所では一度コネクタを用いて同軸に変換した後、同軸型無反射終端を用いる場合が多かった。

本願の目的は、不要リアクタンス分を含めた無反射終端の設計法に基づき、回路的にも、製作的にもマイクロ波I/Oに適用が可能な、極めて良好な特性の無反射終端を提供することにある。

本発明によれば特性インピーダンス Z_0 のストリップ線路の終端を薄膜抵抗を通して短絡した無反射終端において薄膜抵抗の抵抗値を特性インピーダンス Z_0 に合せかつ該薄膜抵抗を同一形状の導体膜で置き換えたときの薄膜抵抗部の特性インピーダンスが $Z_0/\sqrt{3}$ 程度となるようにしたことを特徴とするストリップ線路無反射終端が得られる。

さらに本発明によれば特性インピーダンス Z_0

のストリップ線路の終端を薄膜抵抗を通して短絡した無反射終端において、薄膜抵抗の抵抗値を特性インピーダンス Z_0 に合せかつ該薄膜抵抗部に並列に所定の容量を挿入したことを特徴とするストリップ線路用無反射終端が得られる。

以下本発明の実施例を図面を用いて説明する。

第2図は本発明の第1の実施例を示す図で(a)はその側視図、(b)はその詳細断面図、(c)は一部を変形した平面図である。同図(a)において、本実施例の構成要素は第1図の従来例と同じく、誘電体基板1、接地用導体膜2、線路用導体膜3、薄膜抵抗4、短路用導体5からなっている。

今、長さ ℓ の図(a)のような薄膜抵抗を損失ある分布定数線路と考え、その入力インピーダンス Z_i を計算すると、

$$Z_i = Z_0 \tanh r\ell \quad (1)$$

となる。但し、 Z_0 はこの抵抗値特性インピーダンス、 r はその伝播定数であり角周波数を ω 、薄膜抵抗の単位長りの抵抗を R_0 、インダクタンス

を L_0 、接地との容量を C_0 とすれば

$$Z_0 = \sqrt{\frac{R_0 + j\omega L_0}{j\omega C_0}} \quad (2)$$

$$r = \sqrt{j\omega C_0(R_0 + j\omega L_0)} \quad (3)$$

となる。但し $\sqrt{-1} = j$ である。

今 ℓ が充分小さく、薄膜抵抗が集中定数的と考え、 $r\ell \ll 1$ とすれば(2)、(3)式を用いて(1)式は次のように変形される。

$$Z_i = (R_0 + j\omega L_0)\ell \left(1 - \frac{j\omega C_0(R_0 + j\omega L_0)\ell^2}{3}\right) \quad (4)$$

さらに、先に仮定した集中定数的な条件

$$\omega^2 L_0 C_0 \ell^2 \ll 1 \quad \text{を用いると(4)はさらに}$$

次のようになる。

$$Z_i = R_0 \ell + j\omega L_0 \ell \left(1 - \frac{C_0}{L_0} \frac{R_0^2 \ell^2}{3}\right) \quad (5)$$

したがって入力側線路の特性インピーダンスを

Z_0 としたとき薄膜抵抗の抵抗値 $R_0 \ell$ および薄膜抵抗を同一形状の導体膜で置き換えたときの特性インピーダンス $\sqrt{L_0/C_0}$ をそれぞれ

$$R_0 \ell = Z_0 \quad (6)$$

$$\sqrt{\frac{L_0}{C_0}} = \frac{Z_0}{\sqrt{3}} \quad (7)$$

とすれば、特性インピーダンス Z_0 に対して、周波数特性のない、非常に良好な無反射終端が得られる。通常の特性インピーダンス 50Ω の線路に対しては、抵抗値を 50Ω 、導体膜で置き換えたときの特性インピーダンスを $50/\sqrt{3} \approx 約 28.9 \Omega$ にすればよい。

第2図(a)の第1の実施例においては、上記の設計法により、抵抗体の幅 W を線路導体膜の幅より広げ、 $Z_0/\sqrt{3} \Omega$ になるような形状としてある。厚み t の誘電体基板として比誘電率 9 のアルミナ基板を用いた場合、 50Ω のマイクロストリップ線路は、線路導体膜の幅を厚み t と同じ程度にすることにより得られるが、薄膜抵抗の幅 W は約 2.7

t とすれば良い。

(第1表)

基板	比誘電率	50Ω 線路導体幅	薄膜抵抗幅
アルミナ	9	1.1 t	2.7 t
サファイア	10	0.9 t	2.5 t
石英	3.6	2.2 t	5 t
高誘電率基板	40	0.15 t	0.65 t

種々の誘電体基板に対して 50Ω マイクロストリップ線路幅と、本発明による無反射終端薄膜抵抗の幅を第1表にまとめて示した。

第2図(b)は上記のような実施例の薄膜材料を詳しく説明するための、第2図(a)線 A-A' での断面図であり、(a)における接地用導体膜、線路導体膜、短絡用導体膜はそれぞれ、クロム、ニクロム、タングステン等の接着用薄膜 21 、 31 、 51 と、金、銅、等の主要良導体膜 22 、 32 、 52 からなっている。無反射終端用薄膜抵抗は窒化タンタル、タンタル、ニクロム等の抵抗膜 41 とその保護、調整膜 42 からなっている。そしてこれらの全体が回路ケー

スあるいは接地導体 6 のように乗せられている。

図においてシート抵抗 $100 \Omega/\square$ の抵抗膜 41 を用いたので、 $W/\ell = 2$ として 50Ω 抵抗を得ているが、 W/ℓ はシート抵抗値により、素中定数的な長さの範囲で変える必要がある。

第2図(c)は、第1の実施例の一変形である。上記の設計法では薄膜抵抗を一様な分布定数素子と考えたが、短絡用導体 5 は物理的な大きさを有し、この付近に近づくとき並列分布容量が増大するので図(c)ではここに近づくに従って、薄膜抵抗 4 の幅を 40 のように縮めている。

第1の実施例はマイクロストリップ型式のものであるが本実施例をトリプレート型あるいはサスペンド型ストリップ線路型式のもので構成できることはもちろんである。

第3図は本発明の第2の実施例で、(a)はその正面図の平面図、(b)はケース内に入れた状態での中心線上の断面図である。第1の実施例と同一の構成要素は同一記号で示した。(以下同様) この実施例では入力側ストリップ線路導体膜 3 と、薄膜

抵抗 4 の幅は同一であるが、サスペンド型ストリップ線路型式の接地導体 6 、 $6'$ の間隔が、抵抗体部分では 61 、 $61'$ と狭くなっており、薄膜抵抗を導体膜に置き換えたときの特性インピーダンスを $Z_0/\sqrt{3}$ にしている。線路導体膜 3 と薄膜抵抗 4 の幅が同一であるので、製作パターンが簡単であり、さらにこの接続部にて第1の実施例のようなパターンステップが生じず、それによって生ずる不要リアクタンスが無い。この実施例のように接地導体を薄膜抵抗に近づけることは、誘電体基板の厚みを変えて、マイクロストリップ型式でも可能である。また、線路導体膜の幅と薄膜抵抗の幅を完全に一致させず、接地導体間隔を(b)図ほど近づけなくても、(8)、(17)式の関係を保てば、良好な無反射終端が得られることに変わりはない。

第4図はさらに第3の実施例を示すものであり、第1の実施例の短絡導体の代りに、長さ ℓ を $1/4$ 波長にした終端開放ストリップ線路 7 とすることにより薄膜抵抗 4 の終端で、電気的な接地短絡となるようにしている。

第5図は第4の実施例を示すもので、(a)はその平面図、(b)はその中心線上の断面図である。この実施例では薄膜抵抗4および接地用導体膜2の一部23が、入力側ストリップ線路の誘電体基板1と別のチップ誘電体8の上に形成され、薄膜抵抗4の入出力電極43、44と線路導体膜3および接地導体6が接統導体33、53でそれぞれ接続されている。このように誘電体を別個にしても、抵抗を線路インピーダンスに合せ $W/\sqrt{3}$ 、およびチップ状誘電体8の比誘電率 ϵ_r を調整して薄膜抵抗4形状は、これを導体膜に置き換えたとき $Z_0/\sqrt{3}$ の特性インピーダンスになるようにすれば、本発明による良好な無反射終端が得られる。とくに本実施例においては誘電体基板1として石英、アルミナ、サファイアを用いたときチップ誘電体8としてそれぞれアルミナ、高誘電率基板、高誘電率基板を用いれば、第1表に示したようにすべての誘電体厚みが同一でも、50Ω線路導体膜3の幅と、薄膜抵抗4の幅はほぼ等しくなり、形状ステップによる不要リアクタンスが入らない。ま

で示したごとく別の並列調整用容量 C_a を付加し(9)式とともに

$$\sqrt{\frac{L_0 \ell}{C_0 \ell + C_a}} = \frac{Z_0}{\sqrt{3}} \quad (11)$$

となるようにすれば、薄膜抵抗部の幅が任意の場合にも、良好な無反射終端が得られる。

第7図は上記の原理によるさらに別の第5の実施例を示す図で、(a)は入力側線路導体3の端に凸部9を設け(11)式を満たす容量 C_a を付加することにより、線路導体3と薄膜抵抗4の幅が同一でも良好な無反射終端が得られるようにしたものである。(b)は薄膜抵抗4の幅を任意に広げ同時に(a)と同様の凸部9により(11)式を満たす所要の容量を設けたものである。(c)は薄膜抵抗4上に別の誘電体10を置いて、所要の容量を設けたもの、(d)はこの調整用誘電体10上に薄膜抵抗4を形成したもので、誘電体10の厚みおよび比誘電率を調整し(11)式を満たせば、第5図の場合のように薄膜抵抗の幅を精密に制御する必要がなく、実用し易い。

第8図は、さらに別の第6の実施例を示す図で、

特開昭53-82147(4)
たチップ誘電体8として熱伝導率の大きなベリリ
ア等を用いれば大電力用として使用できる。

ところで、(4)式において、伝播定数は小さい
ので、次のように変形される。

$$Z_i = \frac{R_0 \ell + j\omega L_0 \ell}{1 - j\omega \frac{C_0 \ell}{3} (R_0 \ell + j\omega L_0 \ell)} \quad (8) \quad 5$$

上式より薄膜抵抗部は完全に集中定数RLC素子
を用いて第6図のような等価回路で表わされる。

この場合もちろん(6)(7)式と同様

$$R_0 \ell = Z_0 \quad (9)$$

$$\sqrt{\frac{L_0 \ell}{C_0 \ell}} = \frac{Z_0}{3} \quad (10)$$

の関係を保てば良好な無反射終端が得られる。

50Ωストリップ線路導体と同一幅の薄膜抵抗を
用いたとき、不要のリアクタンスが生ずるのは、
3の場合の容量、 $C_0 \ell$ が(10)式を満足するだけ充
分大きくないからと考えられる。

したがって、薄膜抵抗部に新らしく第6図点線

式(9)を満たす薄膜抵抗4の上に、調整ねじ11を
後近させ、式(10)を満たす所要の容量 C_a を付加す
るものである。この場合には $L_0 \ell$ も変化するが、
パターンの厳密な設計をしなくても、ねじにより
特性を制御しつつ必要量 C_a を与えることができ
るので実用的である。55は短絡用端子である。

第4図、第5図、第7図、第8図においてマイ
クロストリップ型式あるいはサスペンド型トリブ
レート型式どちらかの実施例しか示さなかったが、
本発明の原理が図示以外のそれぞれトリプレート型
式、マイクロストリップ型式のものにも適用でき
ることは言うまでもない。

図面の簡単な説明

第1図は従来の薄膜無反射終端を示す図で、(a)、
(b)は別々の平面図、(c)はそれらの中心線AA'に
関する断面図である。1は誘電体基板、2は接地用
導体膜、3は線路導体膜、4は薄膜抵抗、5は短
絡用導体膜である。

第2図は第1の実施例を示す図で(a)は斜視図、

(b)は線A-A'に関する詳細な断面図、(c)は一部を变形した平面図である。第1図と同一の構成要素は同一記号を付して示した。(以下同様) 21、

31、51 は接着用薄膜、22、32、52は良導体膜、41は抵抗膜、42は保護調整膜である。

第3図は第2の実施例であり、(a)は一部の平面図、(b)は全体の断面図である。6、6'は接地導体、61、61'は間隔を縮めた接地導体の一部である。

第4図は第3の実施例を示す平面図。7は $\frac{1}{4}$ 波長ストリップ線路である。

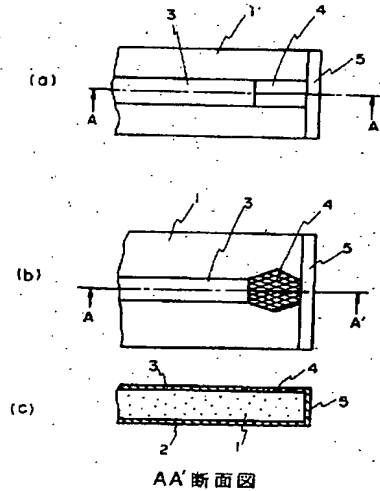
第5図は第4の実施例を示す図で(a)は平面図、(b)は断面図である。8はチップ誘電体、33、53は接続導体である。

第6図は説明用等価回路図である。

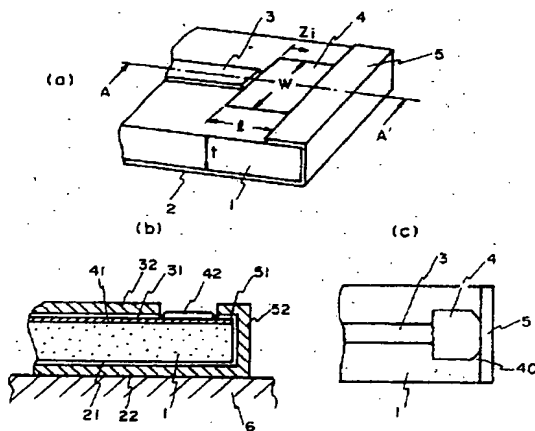
第7図は第5の実施例を示す図で、(a)~(c)は平面図、(d)は断面図である。9は線路導体凸部、10は誘電体である。

第8図は第6の実施例を示す断面図で、11は調整ねじ、55は短絡用端子である。

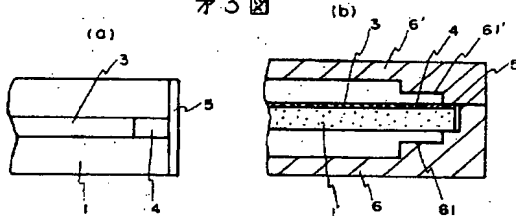
才1図



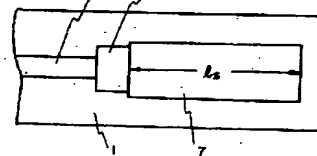
才2図



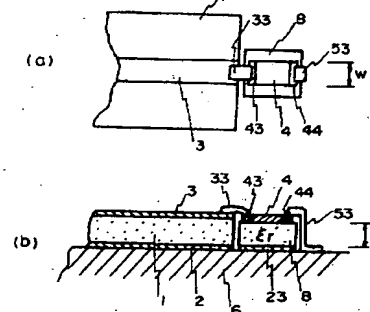
才3図



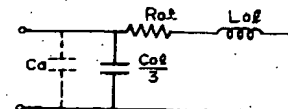
才4図



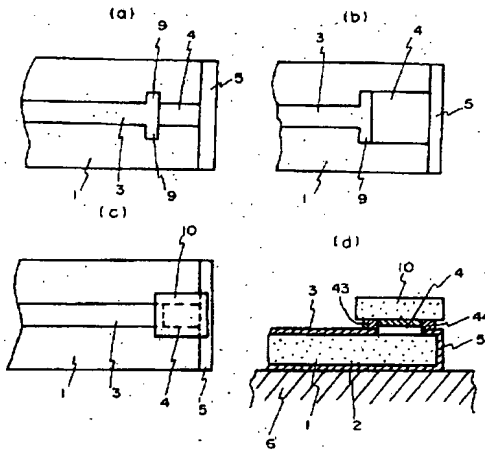
才5図



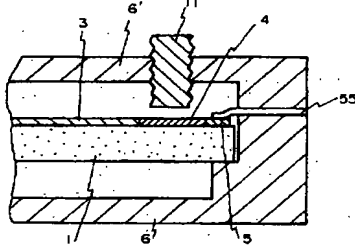
才6図



才7図



才8図



6. 補正の対象

図面(第1図)

7. 補正の内容

不要文字を削除した第1図を添付いたします。

代理人 弁理士 内 原 晋

特開昭53- 82147(6)
手続補正書(方式)

52.3.26
昭和 年 月 日

特許庁長官 殿

1. 事件の表示 昭和51年 特 許 願第158856号

2. 発明の名称 ストリップ線路用銅反折線端

3. 補正をする者

事件との関係

出 願 人

東京都港区芝五丁目33番1号

(423) 日本電気株式会社

代表者 田 中 忠 雄

4. 代 理 人

東京都港区芝五丁目33番1号

日本電気株式会社内

(5591) 弁理士 内 原 晋

電 話 東京3545-1111(大代表)

5. 補正命令の日付

昭和52年5月1日(発送)

第1図

